

朝陽科技大學
106學年度第1學期教學大綱

當期課號	3561	中文科名	可程式積體電路設計
授課教師	賴俊呈	開課單位	資訊工程系
學分數	3	修課時數	3
修習別	專業選修	開課班級	四年制3年級 A班
類別	一般課程		

本課程與系所培養學生能力指標關聯度：

核心能力	能力指標	關聯度		
		高度關聯	中度關聯	低度關聯
修習本科目使我具備設計與執行實驗，以及分析結果之能力。	具有執行實驗，以及分析與解釋數據的能力。		✓	
修習本科目使我具備執行資訊工程實務所需之知識、技術以及使用軟體工具之能力。	具有使用資訊工程相關技術與工具的能力。		✓	
修習本科目使我具備設計資訊系統、晶片與整合電路之基礎能力。	具備晶片系統開發與整合的能力。		✓	

本課程培養學生下列知識：

本課程主要講述可程式積體電路的基本原理。並利用專題實作的過程，體驗整個可程式積體電路的設計流程。學生在完成本課程後，將可學習到以下之基本技能：

- 1.數位電路設計觀念
- 2.XILINX ISE 軟體操作
- 3.硬體描述語言簡介
- 4.專題實作

The goal of this course is to provide the students with a basic knowledge of FPGA design. By giving appropriate project assignments, the course helps the students experience the whole FPGA design flow. After finishing this course, the students may learn the following: 1. basic concepts for digital circuits design, 2. the application of XILINX ISE, 3. a brief introduction to VHDL, and 4. projects implementation.

每週授課主題

- 第01週：課程簡介
- 第02週：數位積體電路設計概述
- 第03週：Xilinx ISE WebPACK 軟體 操作
- 第04週：Xilinx ISE WebPACK 軟體 操作
- 第05週：Xilinx ISE WebPACK 軟體 操作
- 第06週：project 1:組合電路設計
- 第07週：project 2:組合電路設計
- 第08週：FSM設計
- 第09週：期中測驗
- 第10週：project 1 :順序電路設計
- 第11週：project 2:順序電路設計
- 第12週：硬體描述語言設計
- 第13週：verilog 邏輯閘層次實例介紹
- 第14週：verilog 資料流層次實例介紹
- 第15週：verilog 行為層次實例介紹
- 第16週：專案研討1
- 第17週：專案研討2
- 第18週：期末測驗

成績及評量方式

- 期中考：30%
- 期末考：30%
- 平時作業(含實作及專案)：30%
- 學習態度(含出席)：10%

證照、國家考試及競賽關係

本課程無證照、國家考試及競賽資料。

主要教材

1.FPGA/CPLD 數位晶片設計入門-使用Xilinx ISE 發展系統鄭群星全華978-986-463-043-1201510Ver.4(教科書)

參考資料

本課程無參考資料!

建議先修課程

本課程無建議先修課程

教師資料

教師網頁：<http://www.cyut.edu.tw/~/>

E-Mail：buckcheng@gmail.com

Office Hour：

分機：

[\[關閉\]](#) [\[列印\]](#)

尊重智慧財產權，請勿不法影印。