

朝陽科技大學
102學年度第1學期教學大綱

當期課號	3583	中文科名	可程式積體電路設計概論
授課教師	陳伯岳	開課單位	資訊工程系
學分數	3	修課時數	3
修習別	專業選修	開課班級	四年制3年級 A班
類別	一般課程		

本課程與系所培養學生核心能力關聯度	高度關聯	中高關聯	中度關聯	中低關聯	低度關聯
相關數學、科學及知識運用能力。				✓	
專案或實驗之設計、執行及結果分析能力。	✓				
實務執行所需之技術與使用工具能力。	✓				
程式撰寫或應用電路之基礎能力。	✓				
有效溝通與團隊合作及計畫管理之能力。				✓	
問題發掘、分析及解決能力。				✓	
專業倫理、時事議題之認知及終身學習能力。				✓	

本課程培養學生下列知識：

本課程主要講述可程式積體電路的基本原理。並利用專題實作的過程，體驗整個可程式積體電路的設計流程。學生在完成本課程後，將可學習到以下之基本技能：

- 1.數位電路設計觀念
- 2.XILINX ISE 軟體操作
- 3.硬體描述語言簡介
- 4.專題實作

The goal of this course is to provide the students with a basic knowledge of FPGA design. By giving appropriate project assignments, the course helps the students experience the whole FPGA design flow. After finishing this course, the students may learn the following: 1. basic concepts for digital circuits design, 2. the application of XILINX ISE, 3. a brief introduction to VHDL, and 4. projects implementation.

每週授課主題

- 第01週：introduction to FPGA design flow
- 第02週：ISE operations
- 第03週：ISE operation
- 第04週：modular design style
- 第05週：project #1
- 第06週：FSM design
- 第07週：FSM design
- 第08週：project #2
- 第09週：midterm exam
- 第10週：hardware description languages
- 第11週：verilog: data flow descriptions
- 第12週：verilog: behavioral descriptions
- 第13週：verilog: behavioral descriptions
- 第14週：verilog: data flow descriptions
- 第15週：code download and pin assignment
- 第16週：final project presentation
- 第17週：final project presentation
- 第18週：final exam

成績及評量方式

- 期中考：20%
- 期末考：20%
- 專案製作：60%

證照、國家考試及競賽關係

本課程無證照、國家考試及競賽資料。

主要教材

1.FPGA/CPLD 數位晶片設計入門－使用Xilinx ISE發展系統(教科書)

參考資料

本課程無參考資料!

建議先修課程

1.邏輯設計或數位系統

教師資料

教師網頁：無

E-Mail：pychen@cyut.edu.tw

Office Hour：

分機：

[關閉](#) [列印](#)

尊重智慧財產權，請勿不法影印。