

朝陽科技大學 099學年度第1學期教學大綱  
Special Topic on Integrated Circuit(I) 積體電路專題(一)

當期課號	7454	Course Number	7454
授課教師	陳宏達	Instructor	CHEN,HON DA
中文課名	積體電路專題(一)	Course Name	Special Topic on Integrated Circuit( I )
開課單位	資訊工程系碩士班一A	Department	
修習別	選修	Required/Elective	Elective
學分數	2	Credits	2
課程目標	1.本專題在介紹使用電腦輔助工具針對積體電路進行分析與設計,並藉此作為研究之基礎. 2.內容以Cadence環境中的Hspice為主:介紹Cadence工作站及環境操作,設計流程,電路之描述分析,MOS電晶體設計使用,Hspice模擬及路徑分析.	Objectives	1. This course presents the analysis and design of integrated circuits via CAD tool,and then it will be the research basis. 2. Hspice Content: Introduction to workstation and cadence design environment (design flow overview), Circuit description and analysis, MOS design of a selected example, Hspice simulation and critical path analysis.
教材	1.handout(手冊) 2.papers(論文集)	Teaching Materials	1.handout. 2.papers.
成績評量方式	project 60% homework 40%	Grading	project 60% homework 40%
教師網頁	<a href="http://www.csie.cyut.edu.tw/~cyhfyc/cyhfyc.html">http://www.csie.cyut.edu.tw/~cyhfyc/cyhfyc.html</a>		
教學內容	本課程配合CIC之Cell-Based Design Flow,介紹邏輯電路合成的基本知識及如何用HDL撰寫有效率可合成之電路,並以Synopsys為工具,配合Avant! 0.35um Cell Library 導引學員如何將自己的Verilog或VHDL設計,根據電路環境條件及所需之速度、面積及功率,進行電路合成最佳化,達成DSP演算晶片化之設計工作.	Syllabus	<ol style="list-style-type: none"> <li>1.Introduction of Logic Synthesis <ul style="list-style-type: none"> <li>-- Design object</li> <li>-- Static Timing Analysis (STA)</li> <li>-- Synopsys design analyzer environment</li> </ul> </li> <li>2.HDL Coding for Synthesis <ul style="list-style-type: none"> <li>-- Synthesizable verilog HDL</li> <li>-- Some tricks in verilog HDL</li> <li>-- Designware library</li> <li>-- Partition for synthesis</li> </ul> </li> <li>3. Design Constraint <ul style="list-style-type: none"> <li>-- Setting design environemnt</li> <li>-- Setting design constraint</li> </ul> </li> <li>4. Design Optimization <ul style="list-style-type: none"> <li>-- Compile the design</li> <li>-- Finite state machine optimization</li> </ul> </li> <li>5. Synthesis Report and Analysis</li> </ol>

尊重智慧財產權，請勿非法影印。