朝陽科技大學 096學年度第1學期教學大綱
Special Topic on Integrated Circuit (Ⅲ) 積體電路專題(三)

當期課號	7415	Course Number	7415
授課教師	張原豪	Instructor	CHANG,YUEN HAW
中文課名	積體電路專題(三)	Course Name	Special Topic on Integrated Circuit (Ⅲ)
開課單位	資訊工程系碩士班二A	Department	
修習別	選修	Required/Elective	Elective
學分數	2	Credits	2
課程目標	1.本專題在介紹使用電腦輔助工具針對積體電路進行分析與設計,並藉此作爲研究之基礎. 2.內容以Cadence環境中的Hspice爲主: 介紹Cadence工作站及環境操作,設計流程,電路之描述分析,MOS電晶體設計使用,Hspice模擬及路徑分析.	Objectives	1. This course presents the analysis and design of integrated circuits via CAD tool,and then it will be the research basis. 2. Hspice Content: Introduction to workstation and cadence design environment (design flow overview), Circuit description and analysis, MOS design of a selected example, Hspice simulation and critical path analysis.
教材	project, homework(handout)	Teaching Materials	project, homework
成績評量方式	project 60% homework 40%	Grading	project 60% homework 40%
教師網頁	_		
教學內容	本課程配合CIC之Cell-Based Design Flow，介紹邏輯電路合成的基本知識及如何用HDL撰寫有效率可合成之電路，並以Synopsys爲實習工具，配合Avant! 0.35um Cell Library 導引學員如何將自己的Verilog或VHDL設計，根據電路環境條件及所需之速度、面積及功率，進行電路合成最佳化。最後，會依據合成後所產生的報告、分析及討論電路合成之結果，針對不符要求之處尋求解決方法。此爲Cell-based硬體設計者建議修習之課程。這二天的課程都有包含實驗，讓學員在上完課之後，立刻上機操作軟體工具，以達到更佳的學習效果。	Syllabus	1.Introduction of Logic Synthesis -- Introduction -- Design object -- Static Timing Analysis (STA) -- Synopsys design analyzer environment 2.HDL Coding for Synthesis -- Synthesizable verilog HDL -- Some tricks in verilog HDL -- Designware library -- Partition for synthesis Lab Time(1) 3. Design Constraint -- Setting design environemnt -- Setting design constraint 4. Design Optimization -- Compile the design -- Finite state machine optimization 5. Synthesis Report and Analysis Lab Time(2)

尊重智慧財產權，請勿非法影印。